

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-266289

(43)Date of publication of application : 07.10.1997

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/28
H01L 27/04
H01L 21/822

(21)Application number : 08-076071

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 29.03.1996

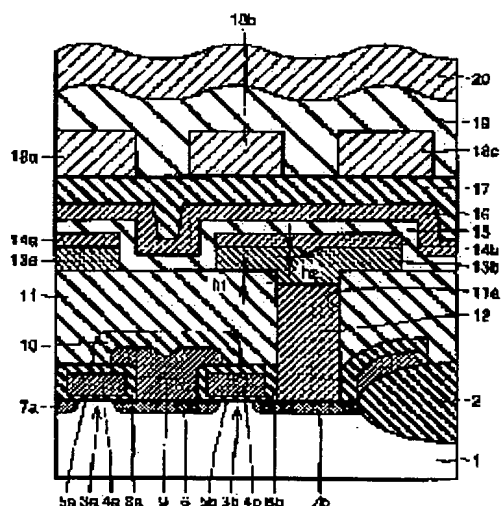
(72)Inventor : TOKIMINE YOSHIKAZU

(54) SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor memory device superior in flatness of the capacitor lower electrode by making lower steps on the surface of a barrier layer than those on the top ends of contact holes.

SOLUTION: Polysilicon is deposited on an interlayer insulation film 11 having contact holes 11a and etched to form polysilicon plugs 12 in these holes with steps h1 defined by the top ends of the plugs 12 and those of the contact holes 11a. Barrier metal layers 13a, 13b are formed to cover the surface of the plugs 12 and that of the insulation film 11 and heat treated in a nitrogen gas atmosphere to expand the vol. to form a nitride film. This reduces the steps h2 defined by the top ends of the contact holes 11a and those of the barrier metal layers, compared with the steps h1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-266289

(43) 公開日 平成9年(1997)10月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 5 1
21/8242			21/28	3 0 1 R
21/28	3 0 1		27/04	C
27/04				
21/822				

審査請求 未請求 請求項の数28 O L (全 14 頁)

(21) 出願番号 特願平8-76071

(22) 出願日 平成8年(1996)3月29日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 常峰 美和

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

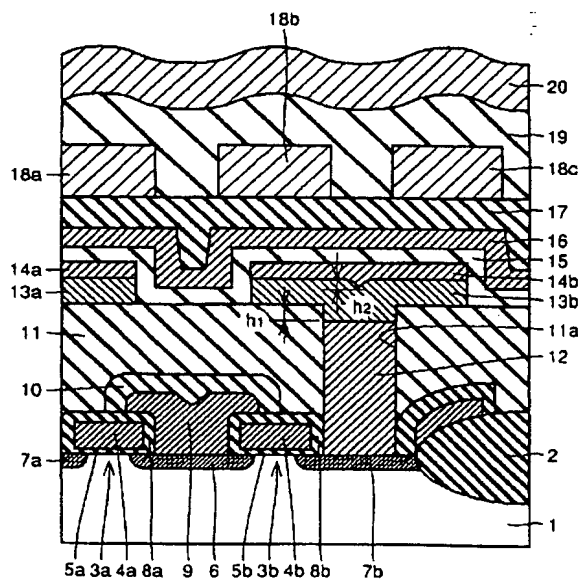
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 キャパシタ下部電極の平坦性に優れた半導体記憶装置およびその製造方法を提供する。

【解決手段】 コンタクトホール11aに対向する位置の表面にコンタクトホール11aの上端の段差h₁により小さいh₂の段差を有するバリアメタル層13bが形成されている。さらに、このバリアメタル層13bは、その下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有している。



【特許請求の範囲】

【請求項 1】 主表面を有する半導体基板と、
前記半導体基板の前記主表面に形成された不純物領域と、
前記半導体基板の前記主表面上に形成され、前記不純物領域に通ずるコンタクトホールを有する層間絶縁膜と、
前記不純物領域と電気的に接続し、前記コンタクトホールの上端より h_1 下がった位置まで、前記コンタクトホール内に形成されたプラグ電極と、
前記プラグ電極表面および前記層間絶縁膜の表面を覆い、前記コンタクトホールに対向する位置の表面に前記 h_1 よりも小さい h_2 の段差部を有するバリアメタル層と、
前記バリアメタル層の表面にのみ形成されたキャパシタ下部電極と、
前記キャパシタ下部電極と前記バリアメタル層とを覆うように形成された高誘電率材料であるキャパシタ誘電体膜と、
前記キャパシタ誘電体膜を覆うように形成されたキャパシタ上部電極と、を備えた半導体記憶装置。

【請求項 2】 前記 h_1 は、 $500\text{Å} \sim 800\text{Å}$ であり、
前記 h_2 は、 $100\text{Å} \sim 200\text{Å}$ である、請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記バリアメタル層は、
高融点金属の窒化物である、請求項 1 に記載の半導体記憶装置。

【請求項 4】 前記バリアメタル層は、
下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有する、請求項 3 に記載の半導体記憶装置。

【請求項 5】 前記窒素の濃度勾配は、
 $0 \sim 1 \times 10^{23}$ 個 / cm^3 の間である、請求項 4 に記載の半導体記憶装置。

【請求項 6】 前記バリアメタル層は、
高融点金属シリサイドの窒化物である、請求項 1 に記載の半導体記憶装置。

【請求項 7】 前記バリアメタル層は、
下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有する、請求項 6 に記載の半導体記憶装置。

【請求項 8】 前記窒素の濃度勾配は、
 $0 \sim 1 \times 10^{23}$ 個 / cm^3 の間である、請求項 7 に記載の半導体記憶装置。

【請求項 9】 主表面を有する半導体基板と、
前記半導体基板の前記主表面に形成された不純物領域と、
前記半導体基板の前記主表面上に形成され、前記不純物領域に通ずるコンタクトホールを有する層間絶縁膜と、
前記不純物領域と電気的に接続し、前記コンタクトホール内に形成されたプラグ電極と、
前記プラグ電極表面および前記層間絶縁膜の表面を覆

い、その下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有する金属の窒化物であるバリアメタル層と、
前記バリアメタル層の表面にのみ形成されたキャパシタ下部電極と、
前記キャパシタ下部電極と前記バリアメタル層とを覆うように形成された高誘電率材料であるキャパシタ誘電体膜と、
前記キャパシタ誘電体膜を覆うように形成されたキャパシタ上部電極と、を備えた、半導体記憶装置。

【請求項 10】 前記バリアメタル層は、
高融点金属の窒化物または高融点金属シリサイドの窒化物である、請求項 9 に記載の半導体記憶装置。

【請求項 11】 前記窒化物の窒素の濃度勾配は、
 $0 \sim 1 \times 10^{23}$ 個 / cm^3 の間である、請求項 10 に記載の半導体記憶装置。

【請求項 12】 主表面を有する半導体基板と、
前記半導体基板の前記主表面に形成された不純物領域と、

前記半導体基板の前記主表面上に形成され、前記不純物領域に通ずるコンタクトホールを有する層間絶縁膜と、
前記不純物領域と電気的に接続し、前記コンタクトホールの上端より h_1 下がった位置まで、前記コンタクトホール内に形成されたプラグ電極と、
前記コンタクトホール内において、前記プラグ電極表面に形成されたバリアメタル層と、
前記バリアメタル層の表面および前記層間絶縁膜の表面を覆い、前記コンタクトホールに対向する位置の表面に前記 h_1 よりも小さい h_2 の段差部を有するキャパシタ下部電極と、
前記キャパシタ下部電極と前記層間絶縁膜とを覆うように形成された高誘電率材料からなるキャパシタ誘電体膜と、
前記キャパシタ誘電体膜を覆うように形成されたキャパシタ上部電極と、を備えた半導体記憶装置。

【請求項 13】 前記 h_1 は、 $500\text{Å} \sim 800\text{Å}$ であり、
前記 h_2 は、 $100\text{Å} \sim 200\text{Å}$ である、請求項 12 に記載の半導体記憶装置。

【請求項 14】 前記バリアメタル層は、
高融点金属の窒化物である、請求項 12 に記載の半導体記憶装置。

【請求項 15】 前記バリアメタル層は、
下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有する、請求項 14 に記載の半導体記憶装置。

【請求項 16】 前記窒素の濃度勾配は、
 $0 \sim 1 \times 10^{23}$ 個 / cm^3 の間である、請求項 15 に記載の半導体記憶装置。

【請求項 17】 前記バリアメタル層は、
高融点金属シリサイドの窒化物である、請求項 12 に記

載の半導体記憶装置。

【請求項18】 前記バリアメタル層は、
下層から上層にかけて窒素の濃度が高くなる窒素の濃度
勾配を有する、請求項17に記載の半導体記憶装置。

【請求項19】 前記窒素の濃度勾配は、
 $0 \sim 1 \times 10^{23}$ 個/cm³ の間である、請求項18に記載の半導体記憶装置。

【請求項20】 主表面を有する半導体基板と、
前記半導体基板の前記主表面上に形成された不純物領域
と、
前記半導体基板の前記主表面上に形成され、前記不純物
領域に通ずるコンタクトホールを有する層間絶縁膜と、
前記不純物領域と電気的に接続し、前記コンタクトホー
ル内に形成されたプラグ電極と、
前記プラグ電極表面上の前記コンタクトホール内に形成
され、その下層から上層にかけて窒素の濃度が高くなる
窒素の濃度勾配を有する金属の窒化物であるバリアメタ
ル層と、
前記バリアメタル層の表面および前記層間絶縁膜の表面
に形成されたキャパシタ下部電極と、
前記キャパシタ下部電極と前記層間絶縁膜とを覆うよう
に形成された高誘電率材料であるキャパシタ誘電体膜
と、
前記キャパシタ誘電体膜を覆うように形成されたキャパ
シタ上部電極と、を備えた半導体記憶装置。

【請求項21】 前記バリアメタル層は、
高融点金属の窒化物または高融点金属シリサイドの窒化
物である、請求項20に記載の半導体記憶装置。

【請求項22】 前記窒化物の窒素の濃度勾配は、
 $0 \sim 1 \times 10^{23}$ 個/cm³ の間である、請求項21に記載の半導体記憶装置。

【請求項23】 半導体基板の主表面に不純物領域を形
成する工程と、
前記不純物領域に通ずるコンタクトホールを有する層間
絶縁膜を前記半導体基板の前記主表面上に形成する工程
と、
前記不純物領域と電気的に接続し、前記コンタクトホー
ルの上端より所定距離下がった位置まで、前記コンタク
トホール内にプラグ電極を形成する工程と、
前記プラグ電極表面および前記層間絶縁膜の表面に金属
層を形成する工程と、
前記金属層を窒素原子を含むガス雰囲気下で加熱処理を
行ない、バリアメタル層を形成する工程と、
前記バリアメタル層の表面にキャパシタ下部電極層を形
成する工程と、
前記バリアメタル層と前記キャパシタ下部電極層とを所
定形状にパターンニングする工程と、
前記キャパシタ下部電極と前記バリアメタル層とを覆う
ように高誘電率材料からなるキャパシタ誘電体膜を形成
する工程と、

前記キャパシタ誘電体膜を覆うようにキャパシタ上部電
極を形成する工程と、を備えた半導体記憶装置の製造方
法。

【請求項24】 前記窒素原子を含むガスは、
窒素、ヒドラジンおよびアンモニアからなるグループか
ら選択された少なくとも1つのガスである、請求項23
に記載の半導体記憶装置の製造方法。

【請求項25】 前記加熱処理は、
700～900℃の温度で、15秒～2分の間行なわれ
る、請求項23に記載の半導体記憶装置の製造方法。

【請求項26】 半導体基板の主表面に不純物領域を形
成する工程と、
前記不純物領域に通ずるコンタクトホールを有する層間
絶縁膜を前記半導体基板の前記主表面上に形成する工程
と、
前記不純物領域と電気的に接続し、前記コンタクトホー
ルの状態より所定距離下がった位置まで前記コンタクト
ホール内にシリコンを含むプラグ電極を形成する工程
と、

前記プラグ電極表面および前記層間絶縁膜の表面に金属
層を形成する工程と、

第1加熱処理により、前記プラグ電極と前記金属層との
間に金属シリサイド層を形成する工程と、
前記金属シリサイド層を窒素原子を含むガス雰囲気下
で、第2加熱処理を行ないバリアメタル層を形成する工
程と、

前記バリアメタル層をコンタクトホール内に残存させる
工程と、

前記バリアメタル層および前記層間絶縁膜の表面にキャ
パシタ下部電極を形成する工程と、
前記キャパシタ下部電極と前記層間絶縁膜とを覆うよう
に高誘電率材料からなるキャパシタ誘電体膜を形成する
工程と、
前記キャパシタ誘電体膜を覆うようにキャパシタ上部電
極を形成する工程と、を備えた半導体記憶装置の製造方
法。

【請求項27】 前記窒素原子を含むガスは、
窒素、ヒドラジンおよびアンモニアからなるグループか
ら選択された少なくとも1つのガスである、請求項26
に記載の半導体記憶装置の製造方法。

【請求項28】 前記第1加熱処理は、
700～900℃の温度で、15秒～2分の間行なわれ
る、請求項26に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置
およびその製造方法に関し、より特定的には、高誘電率
の材料をキャパシタ誘電体膜に用いたDRAM (Dynam
ic Random AccessMemory) に関する半導体記憶装置およ
びその製造方法に関するものである。

【0002】

【従来の技術】従来から、記憶情報のランダムな入出力が可能な半導体記憶装置として、DRAMが知られている。一般に、DRAMは、多数の記憶情報を蓄積する記憶領域であるメモリセルアレイ部と、外部との入出力に必要な周辺回路部とを有している。

【0003】半導体チップ上で大きな面積を占めるメモリセルアレイ部には、単位記憶情報を蓄積するためのメモリセルがマトリクス上に複数個配置されている。一般に、1つのメモリセルは、1つのMOS (Metal Oxide Semiconductor) トランジスタと、このMOS トランジスタに接続された1つのキャパシタとから構成されている。このようなメモリセルを、1トランジスタ1キャパシタ型のメモリセルと呼んでいる。

【0004】この1トランジスタ1キャパシタ型のメモリセルは、構成が簡単なためメモリセルアレイの集積度を向上させることが容易になる。その結果、大容量のDRAMにおいて広く用いられている。

【0005】また、従来のDRAMのメモリセルは、キャパシタの構造によっていくつかのタイプに分類することができる。この中に、スタックタイプキャパシタと呼ばれるものがある。このスタックタイプキャパシタは、キャパシタを構成する主要部を、MOS トランジスタのゲート電極や、フィールド酸化膜の上にまで延在させることによって、キャパシタの電極間の対向面積を増大させる構造を有している。

【0006】スタックタイプキャパシタは、このような特徴を有するため、半導体記憶装置の集積化に伴い素子が微細化された場合でも、キャパシタ容量を確保することが可能になる。その結果、半導体記憶装置の高集積化に伴ってスタックタイプキャパシタが多く用いられるようになった。

【0007】しかしながら、素子がさらに微細化され、たとえば256Mbit DRAMなどにおいては、上記のスタックタイプキャパシタを使用したとしても、一定のキャパシタ容量を確保することが困難となってきた。

【0008】そこで、キャパシタ容量を増大させるため、キャパシタ誘電体膜として高誘電率材料（チタン酸バリウムストロンチウム（PST）など）からなるキャパシタ誘電体膜を用いる試みがなされている。

【0009】ここで、図19を参照して、キャパシタ誘電体膜として、高誘電率材料を用いたDRAMのメモリセルの断面構造について説明する。

【0010】半導体基板1の主表面に、不純物拡散領域からなるソース領域6およびドレイン領域7a、7bが形成されている。半導体基板1の主表面上には、ゲート酸化膜5aを介してゲート電極4aが形成され、さらにゲート絶縁膜5bを介してゲート電極4bが形成されている。半導体基板1の主表面の所定の領域には、活性領

域を規定するためのフィールド酸化膜2が設けられている。

【0011】ソース領域6には、ゲート電極4aおよびゲート電極4bに対してゲート保護酸化膜8a、8bを介在して埋込ビット線9が設けられ、埋込ビット線9は酸化膜10により覆われている。

【0012】なお、ゲート電極4a、ソース領域6およびドレイン領域7aによってMOS トランジスタ3aが形成され、ゲート電極4b、ソース領域6bおよびドレイン7bによってMOS トランジスタ3bが形成されている。

【0013】層間絶縁膜11に設けられたコンタクトホール11a内には、ポリシリコンプラグ12が設けられ、ドレイン領域7bと電気的に接続されている。

【0014】ポリシリコンプラグ12の上には、層間絶縁膜11を覆うようにして、バリア金属層13a、13bが形成され、このバリア金属層13a、13bの上には、キャパシタの下部電極14a、14bが形成されている。

【0015】さらに、キャパシタの下部電極14bの上には、バリア金属層13a、13bおよび層間絶縁膜11の表面を覆うように高誘電率材料である誘電体膜15が設けられている。さらに、この高誘電率材料15を覆うように、上部電極16が設けられている。なお、下部電極14bおよび上部電極16は、白金が用いられている。

【0016】上部電極16の上には、層間絶縁膜17を介して第1アルミ配線18a、18b、18cが形成され、第1アルミ配線18a、18b、18cを覆うように第1アルミ層間絶縁膜19が設けられている。さらに、この第1アルミ層間絶縁膜19の上には、第2アルミ配線20が設けられている。

【0017】次に、上記構造よりなるDRAMのメモリセルの動作について説明する。図19に示したスタックタイプキャパシタは、半導体集積回路のセルキャパシタなどに用いられる。その場合、同一基板上に形成されたMOS トランジスタ3bなどにより制御された信号電荷を、キャパシタ下部電極14bに蓄積することによって情報の記憶を行なう。

【0018】蓄積される電荷量Qは、キャパシタ面積Sと誘電体膜15との比誘電率 ϵ および誘電体膜15の膜厚tにより、

$$Q = \epsilon_0 \cdot \epsilon \cdot S \cdot V / t$$

と表現することができる。

【0019】ここで、 ϵ_0 は真空の誘電率を示し、Vはキャパシタに印加される電圧を示している。

【0020】この電荷量Qは、ソフトエラーと呼ばれる電離放射線によって発生する過剰電荷による誤記憶を引き起こさない程度に大きいことが必要である。

【0021】従来、集積度の低い半導体回路において

は、誘電体膜として、シリコンを熱酸化した酸化シリコン膜や、CVD法によって形成した窒化シリコン膜が用いられていた。しかし、素子の集積化が進むにつれて、キャパシタ面積Sは減少するため、上述した酸化シリコン膜や窒化シリコン膜では、ソフトエラーを引き起こさないだけの蓄積電荷を得ることができなくなった。

【0022】そこで、新たに、図19に示したように、誘電体膜として、チタン酸バリウムストロンチウム、酸化タンタル、チタン酸鉛、チタン酸ストロンチウムなどの高い比誘電率を有する高誘電率材料が用いられるようになった。

【0023】たとえば、チタン酸鉛の場合は1000以上、チタン酸ストロンチウムは200程度の高い比誘電率を示し、かつ、それぞれ酸素欠陥が生じないように成膜することで、高い絶縁性が得られることが知られている。誘電体膜材料として、チタン酸鉛以外には、チタン酸バリウムなどが知られている。

【0024】チタン酸ストロンチウムなどの薄膜は、通常、反応性スパッタリング法やCVD法で形成される。この場合、酸素欠陥によるリーク電流の増加を防ぐために、500〜700℃程度の高温、酸化雰囲気中で成膜されることが覆い。

【0025】そこで、これらのチタン酸鉛を用いた薄膜キャパシタの下部電極材料としては、上述したように、耐酸化性の高い白金などが用いられる。さらに、下部電極と電気的に接続されているシリコン基板の部分の酸化を防ぐために、シリコンおよび酸素の拡散を遮断する導電性を有するバリアメタル（拡散防止膜）が、下部電極14bと、ポリシリコンプラグ12との間に、バリアメタル層13a、13bが必要となっている。

【0026】

【発明が解決しようとする課題】しかしながら、図19に示す従来のDRAMのキャパシタの構造においては、コンタクトホール11aの上部に、高さHの段差部が生じている。

【0027】この段差部は、コンタクトホール11a内にCVD法によりポリシリコン膜を成膜し、ポリシリコンプラグ12を形成するために、ポリシリコン膜をエッチバックする工程において形成される。

【0028】この段差部の高さについては、エッチングの条件によって低くすることも可能ではあるが、層間絶縁膜11よりも、ポリシリコン膜の方がエッチングに対するエッチング速度が大きいので、段差部をなくすることはできない。

【0029】そのため、この段差部に従って、バリアメタル層13b、下部電極14bおよび誘電体膜15の表面に、その段差に従った段差部分が形成されてしまう。

【0030】その結果、この段差部分に位置する下部電極14bに、図19のXで囲む領域に、直角部分が生じ、電圧印加時に、この直角部分に電界が集中し、高い

電流が流れる。その結果、この直角部分の上面に接する誘電体膜15の劣化が早く起こってしまうという問題点があり、それによって、キャパシタの寿命および信頼性を低下させる結果となっていた。

【0031】この発明の1つの目的は、キャパシタの下部電極が平坦である構造およびその構造を容易に実現させることのできる半導体記憶装置およびその製造方法を提供することにある。

【0032】さらに、この発明の他の目的は、誘電体膜や電極の劣化を防ぎ、信頼性の高い半導体記憶装置およびその製造方法を提供することにある。

【0033】

【課題を解決するための手段】この発明に基づいた半導体記憶装置の1つの局面においては、主表面を有する半導体基板と、この半導体基板の主表面上に形成された不純物領域と、半導体基板の主表面上に形成され、不純物領域に通ずるコンタクトホールを有する層間絶縁膜と、不純物領域と電気的に接続し、コンタクトホールの上端よりh₁下がった位置まで、コンタクトホール内に形成されたプラグ電極と、このプラグ電極表面および層間絶縁膜の表面を覆い、コンタクトホールに対向する位置の表面にh₁よりも小さいh₂の段差部を有するバリアメタル層と、このバリアメタル層の表面にのみ形成されたキャパシタ下部電極と、キャパシタ下部電極とバリアメタル層とを覆うように形成された高誘電率材料であるキャパシタ誘電体膜と、キャパシタ誘電体膜を覆うように形成されたキャパシタ上部電極とを備えている。

【0034】上記構造により、コンタクトホールの上端に形成される段差h₁よりも、バリアメタル層の表面に形成される段差h₂の方が小さいため、下部電極に従来の構造のような段差が形成されない。そのため、下部電極に電圧を印加した場合においても、下部電極に電界集中が生じない。その結果、下部電極に対向する誘電体膜の劣化を防止し、誘電体膜の寿命を延ばすことが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0035】次に、この発明に基づいた半導体記憶装置の他の局面においては、主表面を有する半導体基板と、半導体基板の主表面上に形成された不純物領域と、半導体基板の主表面上に形成され、不純物領域に通ずるコンタクトホールを有する層間絶縁膜と、不純物領域と電気的に接続し、コンタクトホール内に形成されたプラグ電極と、プラグ電極表面および層間絶縁膜の表面を覆い、その下層から上層にかけて酸素の濃度が高くなる酸素の濃度勾配を有する金属の窒化物であるバリアメタル層と、このバリアメタル層の表面にのみ形成されたキャパシタ下部電極と、キャパシタ下部電極とバリアメタル層とを覆うように形成された高誘電率材料からなるキャパシタ誘電体膜と、キャパシタ誘電体膜を覆うように形成されたキャパシタ上部電極とを備えている。

【0036】上述したように、バリアメタル層に、下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有する金属の窒化物を用いることによって、バリアメタル層の下層が窒素の濃度が低いため、バリアメタル層とプラグ電極との界面においては、プラグ電極との接触抵抗を低減させることが可能となる。また、バリアメタル層の上層部においては十分窒素の濃度が高いため、バリアメタル層とキャパシタ下部電極との界面においては、下部電極に対するバリア性を十分確保することが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0037】この発明に基づいた半導体記憶装置のさらに他の局面においては、主表面を有する半導体基板と、半導体基板の主表面に形成された不純物領域と、半導体基板の前記主表面上に形成され、不純物領域に通ずるコンタクトホールを有する層間絶縁膜と、不純物領域と電気的に接続し、コンタクトホールの上端より(h₁)下がった位置まで、コンタクトホール内に形成されたプラグ電極と、コンタクトホール内において、プラグ電極表面に形成されたバリアメタル層と、バリアメタル層の表面および層間絶縁膜の表面を覆い、コンタクトホールに対向する位置の表面にh₁よりも小さいh₂の段差部を有するキャパシタ下部電極と、キャパシタ下部電極と層間絶縁膜とを覆うように形成された高誘電率材料であるキャパシタ誘電体膜と、キャパシタ誘電体膜を覆うように形成されたキャパシタ上部電極と、を備えている。

【0038】上記構造により、コンタクトホールの上端に形成される段差h₁よりも、バリアメタル層がコンタクトホール内に埋込まれているために、キャパシタ下部電極の表面に形成される段差h₂の方が小さいため、下部電極には、従来の構造のような段差部が形成されない。

【0039】その結果、下部電極に電圧を印加した場合においても、下部電極に電界集中が生じないため、下部電極上に形成された誘電体膜の劣化を防止し、誘電体膜の寿命を延ばすことが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0040】さらに、この発明に基づいた半導体記憶装置のさらに他の局面においては、主表面を有する半導体基板と、半導体基板の主表面に形成された不純物領域と、半導体基板の主表面上に形成され、不純物領域に通ずるコンタクトホールを有する層間絶縁膜と、不純物領域と電気的に接続し、コンタクトホール内に形成されたプラグ電極と、前記プラグ電極表面上のコンタクトホール内に形成され、その下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有する金属の窒化物であるバリアメタル層と、バリアメタル層の表面および層間絶縁膜の表面に形成されたキャパシタ下部電極と、キャパシタ下部電極と層間絶縁膜とを覆うように形成された高誘電率材料であるキャパシタ誘電体膜と、キャパシタ誘

電体膜を覆うように形成されたキャパシタ上部電極とを備えている。

【0041】このように、バリアメタル層にその下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有する金属の窒化物からなるように形成することで、バリアメタル層の下層は窒素濃度が低いため、プラグ電極との界面では、プラグ電極との接触抵抗を低減させることができる。一方バリアメタル層の上層は十分窒化されているため、バリアメタル層の下部電極との界面においては、バリア性を確保することが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0042】この発明に基づいた半導体記憶装置の製造方法の1つの局面においては、半導体基板の主表面に不純物領域を形成する工程と、この不純物領域に通ずるコンタクトホールを有する層間絶縁膜を半導体基板の主表面上に形成する工程と、不純物領域と電気的に接続し、コンタクトホールの上端より所定距離下がった位置まで、コンタクトホール内にプラグ電極を形成する工程と、プラグ電極表面および層間絶縁膜の表面に金属層を形成する工程と、前記金属層を窒素原子を含むガス雰囲気下で加熱処理を行ないバリアメタル層を形成する工程と、バリアメタル層の表面にキャパシタ下部電極層を形成する工程と、バリアメタル層とキャパシタ下部電極層とを所定形状にパターニングする工程と、キャパシタ下部電極とバリアメタル層とを覆うように高誘電率材料からなるキャパシタ誘電体膜を形成する工程と、キャパシタ誘電体膜を覆うようにキャパシタ上部電極を形成する工程とを備えている。

【0043】上記方法を用いることによって、バリアメタル層を形成する工程において、金属層を窒素原子を含むガス雰囲気下で加熱処理を行なうことによって、コンタクトホール内に形成されたプラグ電極上の金属層が体積膨張する。このように、金属層をコンタクトホールの上部において体積膨張させることにより、コンタクトホール上部における落ち込み段差を低減させることが可能となる。

【0044】その結果、バリアメタル層上に形成されるキャパシタ下部電極の表面には、従来の構造に示されるような段差部が形成されない。そのため、下部電極に電圧を印加した場合においても、下部電極に電界集中が生じないため、下部電極上の誘電体膜の劣化を防止するとともに、誘電体膜の寿命を延ばすことが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0045】さらに、このように、バリアメタル層にその下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有する金属の窒化物からなるように形成することで、バリアメタル層の下層は窒素濃度が低いため、プラグ電極との界面では、プラグ電極との接触抵抗を低減させることができる。一方バリアメタル層の上層は十分窒

化されているため、バリアメタル層の下部電極との界面においては、バリア性を確保することが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0046】次に、この発明に基づいた半導体記憶装置の他の局面においては、半導体基板の主表面に不純物領域を形成する工程と、この不純物領域に通ずるコンタクトホールを有する層間絶縁膜を半導体基板の主表面上に形成する工程と、不純物領域と電氣的に接続し、コンタクトホールの状態より所定距離下がった位置までコンタクトホール内にシリコンを含むプラグ電極を形成する工程と、プラグ電極表面および層間絶縁膜の表面に金属層を形成する工程と、第1加熱処理によりプラグ電極と金属層との間に金属シリサイド層を形成する工程と、この金属シリサイド層を窒素原子を含むガス雰囲気下で第2加熱処理を行ないバリアメタル層を形成する工程と、このバリアメタル層をコンタクトホール内に残存させる工程と、バリアメタル層および層間絶縁膜の表面にキャパシタ下部電極を形成する工程と、キャパシタ下部電極と層間絶縁膜とを覆うように高誘電率材料からなるキャパシタ誘電体膜を形成する工程と、キャパシタ誘電体膜を覆うようにキャパシタ上部電極を形成する工程とを備えている。

【0047】このように、第1加熱処理によって、プラグ電極と金属層との間に金属シリサイド層を形成し、この金属シリサイド層を、窒素原子を含むガス雰囲気下で第2加熱処理を行ないバリアメタル層を形成している。このように、金属シリサイド層を窒素原子を含むガス雰囲気下で第2加熱処理を行なうことで、金属シリサイド層は体積膨張を行なう。

【0048】その結果、コンタクトホールの上部に形成される段差を低減させることが可能となり、バリアメタル層上に形成されるキャパシタ下部電極に、従来の構造のようにな段差部が形成されることがない。そのため、下部電極に電圧を印加した場合においても、下部電極に電界集中が生じないため、下部電極の上に形成される誘電体膜の寿命を延ばすことが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0049】さらに、このように、バリアメタル層にその下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有する金属の窒化物からなるように形成することで、バリアメタル層の下層は窒素濃度が低いいため、プラグ電極との界面では、プラグ電極との接触抵抗を低減させることができる。一方バリアメタル層の上層は十分窒化されているため、バリアメタル層の下部電極との界面においては、バリア性を確保することが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0050】

【発明の実施の形態】

(実施の形態1) 以下、本発明に基づいた半導体記憶装置の実施の形態1について図1を参照して説明する。

【0051】図1に示す断面構造は、図19に示した従来のDRAMのメモリセルの一部を示す断面構造図である。

【0052】半導体基板1の主表面に、不純物拡散領域からなるソース領域6およびドレイン領域7a、7bが形成されている。半導体基板1の主表面上には、ゲート酸化膜5aを介してゲート電極4aが形成され、さらにゲート絶縁膜5bを介してゲート電極4bが形成されている。半導体基板1の主表面の所定の領域には、活性領域を規定するためのフィールド酸化膜2が設けられている。

【0053】ソース領域6には、ゲート電極4aおよびゲート電極4bに対してゲート保護酸化膜8a、8bを介して埋込ビット線9が設けられ、埋込ビット線9は酸化膜10により覆われている。

【0054】なお、ゲート電極4a、ソース領域6およびドレイン領域7aによってMOSトランジスタ3aが形成され、ゲート電極4b、ソース領域6bおよびドレイン7bによってMOSトランジスタ3bが形成されている。

【0055】層間絶縁膜11に設けられたコンタクトホール11a内には、ポリシリコンプラグ12が設けられ、ドレイン領域7bと電氣的に接続されている。

【0056】本実施の形態においては、層間絶縁膜11およびポリシリコンプラグ12の両方を覆うように、バリアメタル層13bが形成されている。このバリアメタル層13bは、Ti、W、Taなどの高融点金属を熱的に形成した窒化物から構成されている。この点については、後で説明する製造工程において詳細に説明する。

【0057】このバリアメタル層13bの上には、白金からなるキャパシタ下部電極14bが形成されている。層間絶縁膜11、キャパシタ下部電極14a、14b、およびバリアメタル層13bを覆うようにして、キャパシタ誘電体膜15が形成されている。

【0058】このキャパシタ誘電体膜15の材質としては、従来技術と同様に、チタン酸バリウムストロンチウムなどの、高誘電率材料が用いられる。キャパシタ誘電体膜15を覆うようにキャパシタ上部電極16が形成されている。このキャパシタ上部電極16には、白金などが用いられている。キャパシタ上部電極16の上には、酸化膜などからなる上部層間絶縁膜17が形成されている。

【0059】さらに、この上部層間絶縁膜17の上には、所定の間隔を空けて第1アルミニウム配線層18a、18b、18cが形成されている。この第1アルミニウム配線層18a、18b、18cを覆うようにアルミ配線層間絶縁膜19が酸化膜などにより形成されている。さらに、このアルミ配線層間絶縁膜19の上には、

第2のアルミニウム配線層20が形成されている。

【0060】次に、上記構造よりなる半導体記憶装置の製造方法について、図2～図9を参照して説明する。なお、図2～図9は、図1の断面構造に従った製造工程図である。

【0061】まず、図2を参照して、公知の技術を用いて、半導体基板1の上に、フィールド酸化膜2、ソース領域6、ドレイン領域7a、7b、ゲート酸化膜5a、5b、ゲート電極4a、4b、ゲート保護酸化膜8a、8b、埋込ビット線9、酸化膜10、層間絶縁膜11およびコンタクトホール11aを形成する。

【0062】次に、コンタクトホール11aが開口された層間絶縁膜11の上に、CVD法などによりポリシリコンを堆積し、エッチングによりコンタクトホール11a内にポリシリコンプラグ12を形成する。

【0063】このとき、ポリシリコンプラグ12の上端部には、従来技術と同様に、コンタクトホール11aの上端部との段差 h_1 が形成される。

【0064】次に、ポリシリコンプラグ12の表面および層間絶縁膜11の表面を覆うように、スパッタリング法またはCVD法などを用いて、Ti、W、Taなどの高融点金属材料からなるバリアメタル層13を、膜厚200Å～1500Å程度成膜する。

【0065】このとき、バリアメタル層13の膜厚は、ポリシリコンプラグ12の内径および h_1 の大きさに左右されるが、 h_1 の $1/3 \sim 3$ 倍程度が好ましい。

【0066】次に、図4を参照して、バリアメタル層13を、アンモニア、ヒドラジンまたは窒素などの窒素原子を含むガス雰囲気下において、700～900℃の加熱処理を15秒～2分間行ない、バリアメタル層13を2～5倍体積膨張させて、窒化膜13cを形成する。

【0067】このように、バリアメタル層13を加熱処理によって膨張させることで、コンタクトホール11a上に形成されるバリアメタル層13cの段差 h_2 の大きさは、コンタクトホール11aの上端に形成される段差 h_1 よりも小さくすることが可能となる。

【0068】また、このときバリアメタル層13への窒素原子の浸入は、バリアメタル層13の表面側から浸入するため、バリアメタル層13cの上層部において窒素の濃度が高く、バリアメタル層13cの下層の方では極めて小さい窒素原子の濃度を示すことになる。たとえば、窒素原子の濃度は、上層部分において 1×10^{22} 個/cm³～ 1×10^{23} 個/cm³程度となり、下層部においては $0 \sim 1 \times 10^{21}$ 個/cm³となる。また、段差部の大きさは、段差 h_1 は、500Å～800Å程度となり、段差 h_2 は100Å～200Å程度となる。

【0069】次に、図5を参照して、バリアメタル層13cの上にCVD法またはスパッタリング法などを用いて、白金を2000Å～5000Å堆積し、下部電極14を形成する。

【0070】次に、図6を参照して、下部電極14の上に所定形状のレジストパターン21a、21bをフォトリソグラフィ技術を用いて形成する。

【0071】その後、図7を参照して、このレジストパターン21a、21bをマスクとして、下部電極14およびバリアメタル層13cをパターンニングし、バリアメタル層13a、13bおよび下部電極14a、14bを完成させる。このときのエッチング条件は、臭化水素(HBr) + メタンガスなどが用いられる。

【0072】次に、図8を参照して、下部電極14a、14b、バリアメタル層13a、13bおよび層間絶縁膜11を覆うように、500℃～700℃の温度でスパッタリング法を用いて、SrTiO₃、BaTiO₃などの高誘電率材料からなるキャパシタ誘電体膜15を膜厚500Å～2000Å成膜する。

【0073】このとき、コンタクトホール11a上の段差部は、図4で示したように低減されているため、下部電極14bの表面には、段差部が形成されない。その結果、キャパシタ誘電体膜15にも、段差部が形成されることなく、段差被覆性の高い成膜を行なうことが可能となる。

【0074】なお、このようにバリアメタル層13bに生じる段差が小さいため、キャパシタ誘電体膜15の成膜方法として、段差被覆性の低い成膜方法を採用することも可能となる。

【0075】次に、図9を参照して、キャパシタ誘電体膜15の上に、白金などからなる上部電極16を成膜する。その後、従来技術と同様の方法によって、上部層間絶縁膜17、第1アルミニウム配線層18a、18b、18c、アルミニウム配線層間絶縁膜19および第2アルミニウム配線層20を形成することにより、図1に示す半導体記憶装置が完成する。

【0076】以上説明した本実施の形態1における半導体記憶装置およびその製造方法においては、コンタクトホール11aの上端部に形成される段差 h_1 よりもバリアメタル層13bの表面に形成される段差 h_2 の方が小さいため、下部電極14bに従来の構造のような段差部が形成されることがない。そのため、下部電極14bに電圧を印加した場合においても、下部電極14bに電界集中が生じないため、誘電体膜15の寿命を従来と比較して延ばすことが可能となる。

【0077】また、下部電極13bのシリコンプラグ12に接する下層から下部電極14bに接する上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有している。このように、窒素の濃度勾配を有することで、バリアメタル層13bの下部電極14bとの界面においては、バリアメタル層13bが十分窒化されているために、バリアメタル層本来の機能としてのバリア性が十分確保され、一方ポリシリコンプラグ12との界面においては、バリアメタル層13bが窒化されていないことによ

て、ポリシリコンプラグ12との接触抵抗を低減させることが可能となる。

【0078】(実施の形態2)以下、この発明に基づいた半導体記憶装置の実施の形態2について図10を参照して説明する。

【0079】図10に示す半導体記憶装置は、図1に示す実施の形態1と同様に、DRAMのメモリセルの一部を示す断面構造図である。

【0080】図10において、半導体基板1、フィールド酸化膜2、ソース領域6、ドレイン領域7a、7b、ゲート電極4a、4b、埋込ビット線9、酸化膜10、層間絶縁膜11、ポリシリコンプラグ12は図1に示す構造と同一である。

【0081】本実施の形態2における半導体記憶装置においては、コンタクトホール11a内において、ポリシリコンプラグ12の上面だけを覆うように、バリアメタル層13eが形成されている。このバリアメタル層13eの材質としては、Ti、W、Ta、Moなどの高融点金属材料またはそのシリサイドの窒化物が用いられる。このバリアメタル層13eの製法については後で詳細に説明する。

【0082】このバリアメタル層13eの上には、バリアメタル層13eおよび層間絶縁膜11の表面を覆うように白金などからなるキャパシタ下部電極14a、14bが形成されている。

【0083】さらに、この下部電極14bの上には、層間絶縁膜11の表面とこのキャパシタ下部電極14bとを覆うようにキャパシタ誘電体膜15が形成されている。

【0084】このキャパシタ誘電体膜15には、実施の形態1と同様に、SrTiO₃、BaTiO₃などの高誘電率材料を用いることができる。

【0085】このキャパシタ誘電体膜15の上には、実施の形態1と同様に、白金などからなるキャパシタ上部電極16、上部層間絶縁膜17、第1アルミニウム配線層18a、18b、18c、アルミ配線層間絶縁膜19および第2アルミニウム配線層20が形成されている。

【0086】次に、上記構造よりなる半導体記憶装置の製造方法について、図11～図18を参照して説明する。なお、図11～図18は、図10の断面形状に従った製造工程を示す図である。

【0087】まず、図11を参照して、実施の形態1の図2で説明したように、ゲート電極4a、4bなどを公知の技術を用いて形成し、コンタクトホール11aの内部にシリコンプラグ12を形成する。このとき、コンタクトホール11aの上端部には、段差h₁が形成される。

【0088】次に、シリコンプラグ12の表面および層間絶縁膜11の表面を覆うようにTi、W、Taなどの高融点金属層13をCVD法やスパッタリング法を用い

て200Å～1500Å形成する。その後、図12を参照して、熱処理を施すことにより、ポリシリコンプラグ12と高融点金属層13との界面に高融点金属シリサイド層13eを形成する。

【0089】次に、図13を参照して、未反応の高融点金属シリサイド層13を硫酸水溶液等を用いて除去する。その後、コンタクトホール11aの内部のシリコンプラグ12の上に、高融点金属シリサイド層13eを残存させる。

【0090】次に、このチタンシリサイド層13eを、アンモニア、ヒドラジンまたは窒素などの窒素原子を含むガス雰囲気下において、700～900℃の温度で15秒～2分間加熱処理を行ない、体積膨張をさせて、高融点金属シリサイドの窒化膜13bを形成する。なお、このとき未反応の高融点金属層13を残し、コンタクトホール11a内における高融点金属層の密着性をさらに向上させることも可能である。

【0091】次に、図14を参照して、実施の形態1と同様に、CVD法またはスパッタリング法を用いて白金などからなるキャパシタ下部電極14を2000Å～5000Å堆積する。このとき、コンタクトホール11aの上部に形成されていた段差部は、高融点金属シリサイド層の体積膨張により低減されているため、キャパシタ下部電極14の表面部分には、段差が形成されることなくほぼ平らに成膜することが可能となる。

【0092】次に、図15を参照して、キャパシタ下部電極14の上に、所定形状のパターンを有するレジスト膜21a、21bをフォトリソグラフィ技術を用いて形成する。

【0093】次に、図16を参照して、レジストパターン21a、21bをマスクとして、キャパシタ下部電極層14をエッチングし、キャパシタ下部電極14a、14bを完成させる。

【0094】次に、図17を参照して、層間絶縁膜11およびキャパシタ下部電極14a、14bを覆うようにして、500℃～700℃の温度で、スパッタリング法などを用いて、SrTiO₃、BaTiO₃などの高誘電率材料からなるキャパシタ誘電体膜15を膜厚500Å～2000Å成膜する。

【0095】このとき、コンタクトホール11aの上部のキャパシタ下部電極14bの表面には段差が形成されていないため、極めて平坦性に富んだキャパシタ誘電体膜15を成膜することができる。また、キャパシタ誘電体膜15の成膜方法として、段差被覆性の低い成膜方法を採用することも可能である。

【0096】次に、図18を参照して、キャパシタ誘電体膜15を覆うように、キャパシタ上部電極16を白金などを用いて成膜する。その後、従来技術および実施の形態1と同様の方法によって、キャパシタ上部層間絶縁膜17、第1アルミニウム配線18a、18b、18

c、第1アルミニウム層間絶縁膜19および第2アルミニウム配線層20を形成する。

【0097】以上説明したように、実施の形態2における半導体記憶装置およびその製造方法においては、コンタクトホール11a内において、ポリシリコンプラグ12の上層に高融点金属シリサイドの窒化膜からなるバリアメタル層13eが形成されている。これによって、バリアメタル層13eの上に形成されるキャパシタの下部電極14bの表面部分には段差が形成されることがないため、下部電極14bに電圧を印加した場合においても、電界集中が生じないため、キャパシタ誘電体膜15の寿命を延ばすことが可能となり、キャパシタの信頼性を向上させることが可能となる。

【0098】また、バリアメタル層13eは、下部電極14bとの界面部分においては十分窒化されるとともに、シリコンの濃度が低くなっているため、バリアメタル層13eとしてのバリア性が十分確保され、バリアメタル層13eのポリシリコンプラグ11aとの界面においては、シリコンの濃度が高く、あまり窒化されていないことから、ポリシリコンプラグ12との接触抵抗を低くし、コンタクト性を十分確保することが可能となっている。

【0099】なお、今回開示した実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0100】

【発明の効果】この発明に基づいた半導体記憶装置の1つの局面によれば、コンタクトホールの上端に形成される段差h₁よりも、バリアメタル層の表面に形成される段差h₂の方が小さいため、下部電極に従来の構造のような段差が形成されない。そのため、下部電極に電圧を印加した場合においても、下部電極に電界集中が生じない。その結果、下部電極に対向する誘電体膜の劣化を防止し、誘電体膜の寿命を延ばすことが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0101】次に、この発明に基づいた半導体記憶装置の他の局面によれば、バリアメタル層に、下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有する金属の窒化物を用いることによって、バリアメタル層の下層が窒素の濃度が低いため、バリアメタル層とプラグ電極との界面においては、プラグ電極との接触抵抗を低減させることが可能となる。また、バリアメタル層の上層部においては十分窒素の濃度が高いため、バリアメタル層とキャパシタ下部電極との界面においては、下部電極に対するバリア性を十分確保することが可能となる。その結果、キャパシタの信頼性を向上させることが可能

となる。

【0102】この発明に基づいた半導体記憶装置のさらに他の局面によれば、コンタクトホールの上端に形成される段差h₁よりも、バリアメタル層がコンタクトホール内に埋込まれているために、キャパシタ下部電極の表面に形成される段差h₂の方が小さいため、下部電極には、従来の構造のような段差部が形成されない。

【0103】その結果、下部電極に電圧を印加した場合においても、下部電極に電界集中が生じないため、下部電極上に形成された誘電体膜の劣化を防止し、誘電体膜の寿命を延ばすことが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0104】さらに、この発明に基づいた半導体記憶装置のさらに他の局面によれば、バリアメタル層にその下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有する金属の窒化物からなるように形成することで、バリアメタル層の下層は窒素濃度が低いため、プラグ電極との界面では、プラグ電極との接触抵抗を低減させることができる。一方バリアメタル層の上層は十分窒化されているため、バリアメタル層の下部電極との界面においては、バリア性を確保することが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0105】この発明に基づいた半導体記憶装置の製造方法の1つの局面によれば、バリアメタル層を形成する工程において、金属層を窒素原子を含むガス雰囲気下で加熱処理を行なうことによって、コンタクトホール内に形成されたプラグ電極上の金属層が体積膨張する。このように、金属層をコンタクトホールの上部において体積膨張させることにより、コンタクトホール上部における落ち込み段差を低減させることが可能となる。

【0106】その結果、バリアメタル層上に形成されるキャパシタ下部電極の表面には、従来の構造に示されるような段差部が形成されない。そのため、下部電極に電圧を印加した場合においても、下部電極に電界集中が生じないため、下部電極上の誘電体膜の劣化を防止するとともに、誘電体膜の寿命を延ばすことが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0107】さらに、このように、バリアメタル層にその下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有する金属の窒化物からなるように形成することで、バリアメタル層の下層は窒素濃度が低いため、プラグ電極との界面では、プラグ電極との接触抵抗を低減させることができる。一方バリアメタル層の上層は十分窒化されているため、バリアメタル層の下部電極との界面においては、バリア性を確保することが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0108】次に、この発明に基づいた半導体記憶装置

の他の局面によれば、第1加熱処理によって、プラグ電極と金属層との間に金属シリサイド層を形成し、この金属シリサイド層を、窒素原子を含むガス雰囲気下で第2加熱処理を行ないバリア金属層を形成している。このように、金属シリサイド層を窒素原子を含むガス雰囲気下で第2加熱処理を行なうことで、金属シリサイド層は体積膨張を行なう。

【0109】その結果、コンタクトホールの上部に形成される段差を低減させることが可能となり、バリア金属層上に形成されるキャパシタ下部電極に、従来の構造のように段差部が形成されることがない。そのため、下部電極に電圧を印加した場合においても、下部電極に電界集中が生じないため、下部電極の上に形成される誘電体膜の寿命を延ばすことが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【0110】さらに、このように、バリア金属層にその下層から上層にかけて窒素の濃度が高くなる窒素の濃度勾配を有する金属の窒化物からなるように形成することで、バリア金属層の下層は窒素濃度が低いいため、プラグ電極との界面では、プラグ電極との接触抵抗を低減させることができる。一方バリア金属層の上層は十分窒化されているため、バリア金属層の下部電極との界面においては、バリア性を確保することが可能となる。その結果、キャパシタの信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】 この発明に基づく実施の形態1における半導体記憶装置の断面構造図である。

【図2】 この発明に基づく実施の形態1における半導体記憶装置の製造方法の第1工程断面図である。

【図3】 この発明に基づく実施の形態1における半導体記憶装置の製造方法の第2工程断面図である。

【図4】 この発明に基づく実施の形態1における半導体記憶装置の製造方法の第3工程断面図である。

【図5】 この発明に基づく実施の形態1における半導体記憶装置の製造方法の第4工程断面図である。

【図6】 この発明に基づく実施の形態1における半導体記憶装置の製造方法の第5工程断面図である。

【図7】 この発明に基づく実施の形態1における半導

体記憶装置の製造方法の第6工程断面図である。

【図8】 この発明に基づく実施の形態1における半導体記憶装置の製造方法の第7工程断面図である。

【図9】 この発明に基づく実施の形態1における半導体記憶装置の製造方法の第8工程断面図である。

【図10】 この発明に基づく実施の形態2における半導体記憶装置の断面構造図である。

【図11】 この発明に基づく実施の形態2における半導体記憶装置の製造方法の第1工程断面図である。

10 【図12】 この発明に基づく実施の形態2における半導体記憶装置の製造方法の第2工程断面図である。

【図13】 この発明に基づく実施の形態2における半導体記憶装置の製造方法の第3工程断面図である。

【図14】 この発明に基づく実施の形態2における半導体記憶装置の製造方法の第4工程断面図である。

【図15】 この発明に基づく実施の形態2における半導体記憶装置の製造方法の第5工程断面図である。

【図16】 この発明に基づく実施の形態2における半導体記憶装置の製造方法の第6工程断面図である。

20 【図17】 この発明に基づく実施の形態2における半導体記憶装置の製造方法の第7工程断面図である。

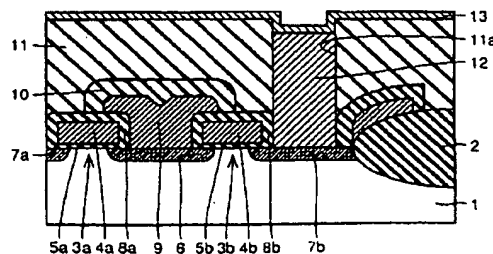
【図18】 この発明に基づく実施の形態2における半導体記憶装置の製造方法の第8工程断面図である。

【図19】 従来技術における半導体記憶装置の断面構造図である。

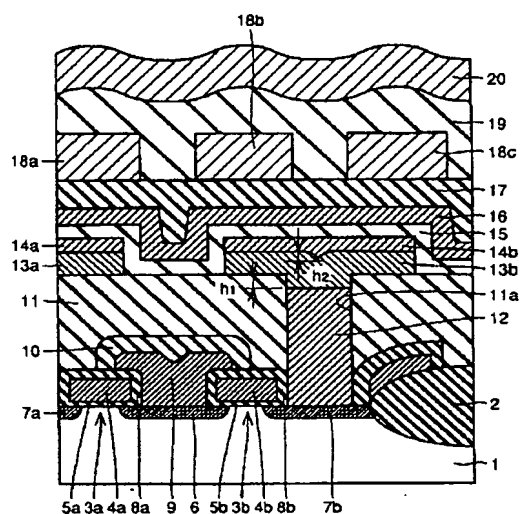
【符号の説明】

1 シリコン基板、2 フィールド酸化膜、3 a, 3 b MOSトランジスタ、4 a, 4 b ゲート電極、5 a, 5 b ゲート酸化膜、6 ソース領域、7 a, 7 b ドレイン領域、8 a, 8 b ゲート保護酸化膜、9 埋込ビット線、10 酸化膜、11 層間絶縁膜、12 ポリシリコンプラグ、13 a, 13 b, 13 c, 13 d, 13 e バリア金属層、14 a, 14 b キャパシタ下部電極、15 キャパシタ誘電体膜、16 キャパシタ上部電極、17 キャパシタ上部層間絶縁膜、18 a, 18 b, 18 c 第1アルミニウム配線、19 第1アルミニウム層間絶縁膜、20 第2アルミニウム配線層、21 a, 21 b レジスト膜、11 a コンタクトホール。

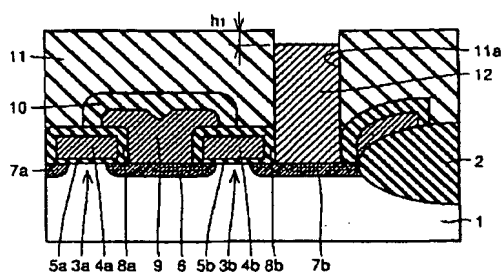
【図3】



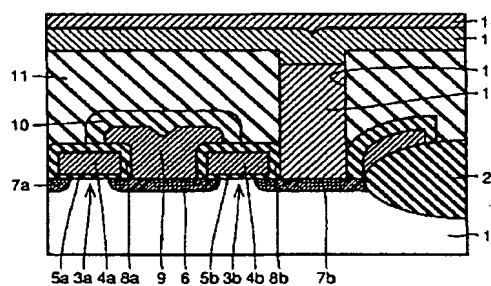
【図1】



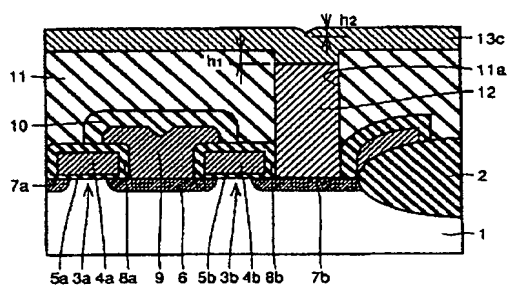
【図2】



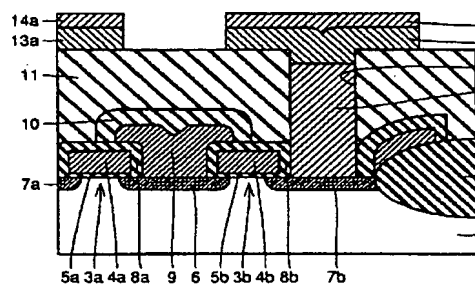
【図5】



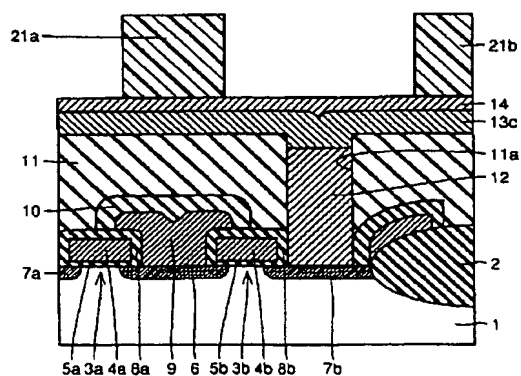
【図4】



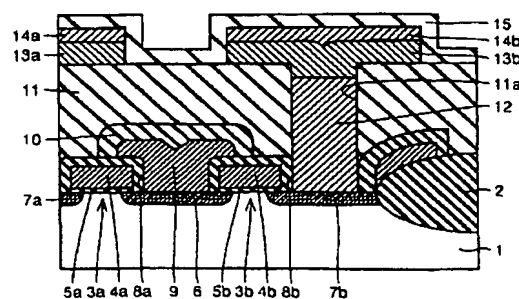
【図7】



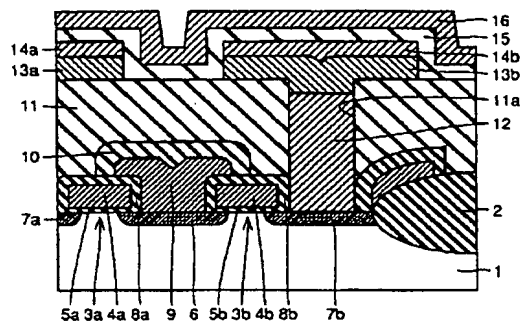
【図6】



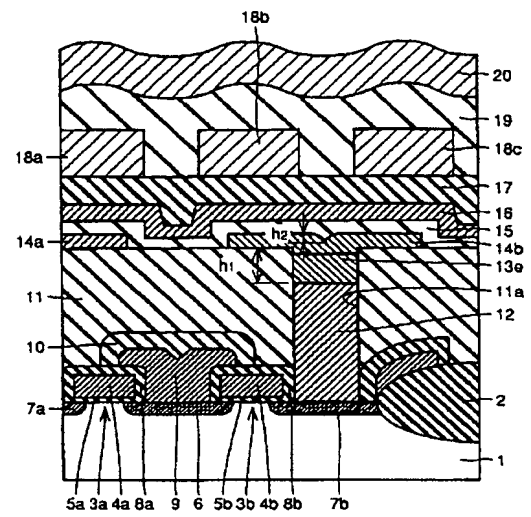
【図8】



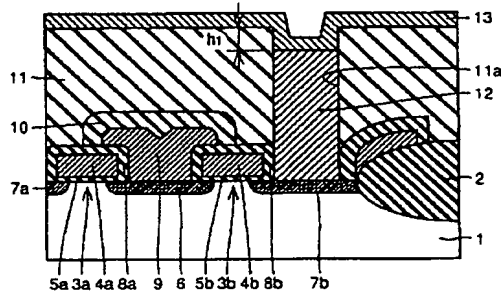
【図 9】



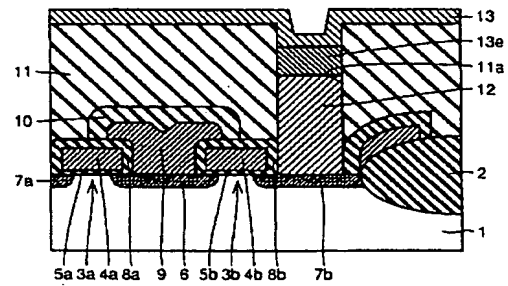
【図 10】



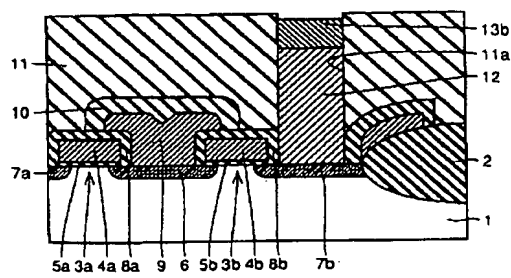
【図 11】



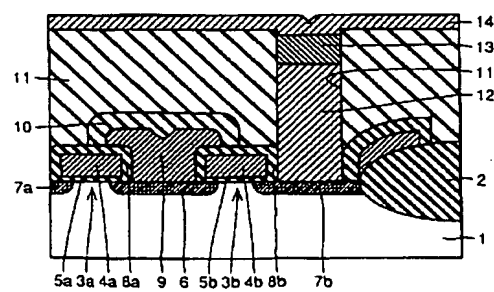
【図 12】



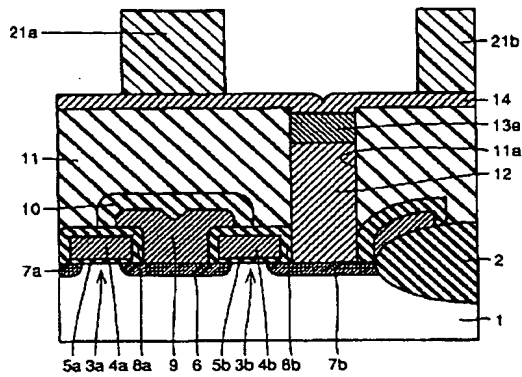
【図 13】



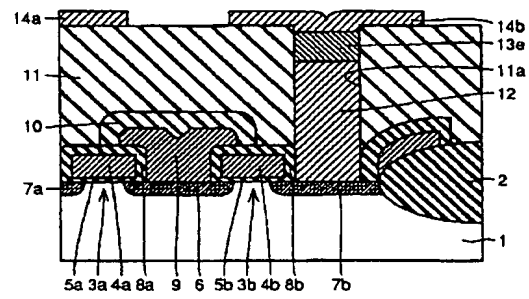
【図 14】



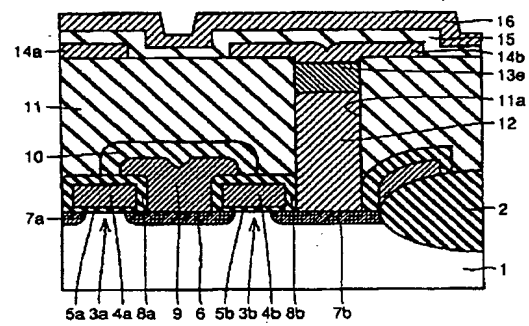
【図15】



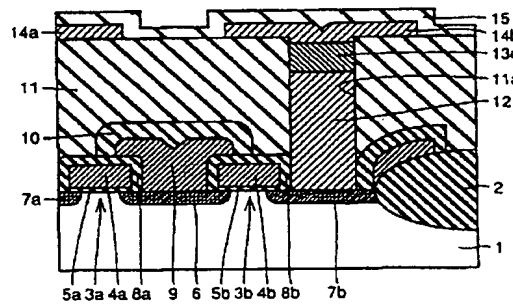
【図16】



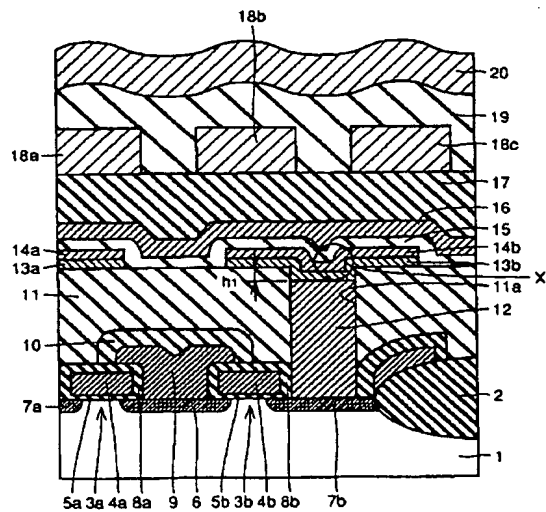
【図18】



【図17】



【図19】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.